

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Patentschrift  
10 DE 198 40 241 C 1

51 Int. Cl. 7:  
H 03 L 7/197

21 Aktenzeichen: 198 40 241.4-35  
22 Anmeldetag: 3. 9. 1998  
43 Offenlegungstag: -  
45 Veröffentlichungstag  
der Patenterteilung: 23. 3. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Großmann, Timo, 80335 München, DE; Götz,  
Edmund, 85221 Dachau, DE

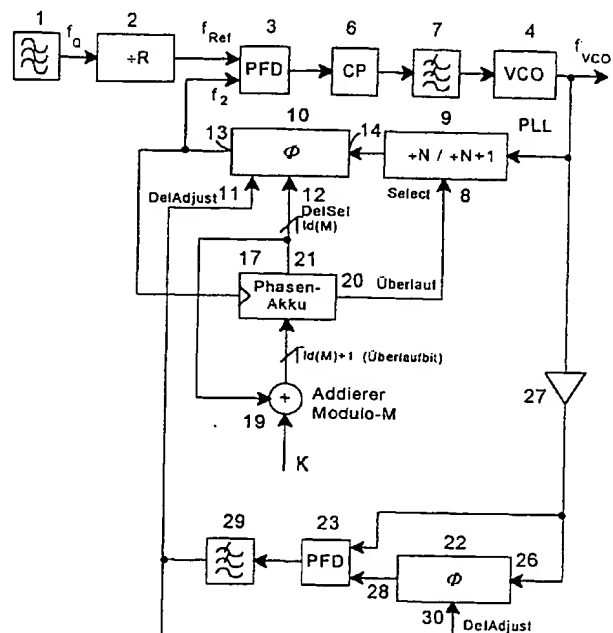
56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

GB 21 40 232 A  
GB 21 07 142 A  
US 54 95 206  
US 44 09 564

"Fractional-N synthesizers", In: Electronics  
World, 1996, March, S. 196-199;

54 Digitaler PLL (Phase Locked Loop)-Frequenzsynthesizer

57 Die Erfindung gibt eine Schaltung zur Phasenfehler-  
kompensation bei fractional-N-basierten PLL-Frequenz-  
synthesizern an, durch welche alle benötigten Stell- und  
Referenzsignale aus der VCO-Frequenz ( $f_{VCO}$ ) des span-  
nungsgesteuerten Oszillators (4) unter Verwendung einer  
Hilfs-Phasenregelschleife (Hilfs-PLL) abgeleitet werden.  
Die Schaltung nach der Erfindung ist insbesondere für  
HF-PLL-Frequenzsynthesizer in integrierter Schaltungs-  
technik anwendbar.



DE 198 40 241 C 1

DE 198 40 241 C 1

Die Erfindung betrifft einen digitalen PLL(Phase Locked Loop)-Frequenzsynthesizer gemäß dem Oberbegriff des Patentanspruchs 1.

Gewöhnliche digitale PLL-Frequenzsynthesizer arbeiten nach dem in Fig. 1 in Blockschaltbildform abgebildeten, bekannten Prinzip. Eine Referenzfrequenz  $f_{\text{Ref}}$ , die durch Herunterteilen einer mit Hilfe eines quarzstabilen Oszillators 1 erzeugten stabilen Quarzfrequenz  $f_Q$  um den Teilerfaktor 'R' mit Hilfe eines Referenzfrequenzteilers 2 gebildet wird, wird in einem Phasen-Frequenz-Detektor 3 mit einer zweiten Frequenz  $f_2$  verglichen, die durch Teilen einer in einem spannungsgesteuerten Oszillator (VCO; Voltage Controlled Oscillator) 4 erzeugten Frequenz  $f_{\text{VCO}}$  um den Teilerfaktor N abgeleitet wird. Diese Frequenzteilung um den Teilerfaktor 'N' findet in einem N-Frequenzteiler 5 statt. Der Phasen-Frequenz-Detektor 3 erzeugt – je nach Ausführung zusammen mit einer Ladungspumpe (Charge Pump) 6 – und einem Schleifen-Tiefpaßfilter 7 die Steuerspannung, welche den spannungsgesteuerten Oszillator 4 auf einer gewünschten Frequenz  $f_{\text{VCO}}$  schwingen läßt.

Das durch den N-Frequenzteiler 5 einstellbare Teilverhältnis 'N' ist ganzzahlig, was bedeutet, daß der spannungsgesteuerte Oszillator 4 bei eingeregelter Phasenregelschleife PLL nur auf einem ganzzahligen Vielfachen der Referenzfrequenz  $f_{\text{Ref}}$  schwingen kann. Diese Tatsache bringt einige Nachteile mit sich.

Bei einem gewünschten geringen Abstand der im spannungsgesteuerten Oszillator 4 erzeugbaren Frequenzen  $f_{\text{VCO}}$  muß eine niedrige Referenzfrequenz  $f_{\text{Ref}}$  verwendet werden. Da die Phasenregelschleife PLL ein getastetes System mit der Abtastrate  $f_{\text{Ref}}$  darstellt, kann nach dem Abtasttheorem (Nyquist-Theorem) die Bandbreite der Phasenregelschleife PLL nicht höher als  $f_{\text{Ref}}/2$  gewählt werden, um ein stabiles System zu erhalten. In der Praxis liegt die Bandbreite gewöhnlich bei ca. 10% der Referenzfrequenz  $f_{\text{Ref}}$ .

Eine geringe PLL-Schleifen-Bandbreite bedeutet allerdings ein langsames Einschwingverhalten beim Umschalten des N-Frequenzteilers 5, um eine andere Frequenz  $f_{\text{VCO}}$  des spannungsgesteuerten Oszillators 4, d. h. einen anderen Frequenzkanal, einzustellen.

Ein anderer Nachteil rührt davon her, daß die Frequenz  $f_{\text{VCO}}$  des spannungsgesteuerten Oszillators 4 sehr weit heruntergeteilt werden muß. Da die geteilte Frequenz  $f_{\text{VCO}}$  mit der Referenzfrequenz  $f_{\text{Ref}}$  verglichen wird, die ein geringes Phasenrauschen aufweisen muß, wird durch die PLL-Regelung das Phasenrauschen der geteilten Frequenz  $f_{\text{VCO}}$  zwar optimiert, das Phasenrauschen des spannungsgesteuerten Oszillators 4 selbst verschlechtert sich jedoch mit größer werdendem Teilerfaktor 'N'.

Eine Referenzfrequenz  $f_{\text{Ref}}$ , die größer als das benötigte Kanalaraster ist, kann dann verwendet werden, wenn der Teilerfaktor 'N' nicht mehr ganzzahlig eingestellt werden kann. Da der N-Frequenzteiler 5 selbst nur durch ganzzahlige Faktoren teilen kann, muß das gebrochene Teilverhältnis im zeitlichen Mittel über M Zyklen eingestellt werden, d. h. für die Dauer von M-K Zyklen muß durch den Teilerfaktor 'N' und dann für die Dauer von K Zyklen durch den um die ganze Zahl '1' erhöhten Teilerfaktor 'N + 1' geteilt werden.

Dadurch ergibt sich bei eingeschwungener Phasenregelschleife PLL eine mittlere Frequenz  $f_{\text{VCO}}$  des spannungsgesteuerten Oszillators 4 zu:

$$f_{\text{VCO}} = f_{\text{Ref}} \cdot (N + K/M).$$

Entsprechende Fractional-N Frequenzsynthesizer sind

aus den Druckschriften "Fractional-N synthesizers", Electronic World, 1996, March, Seiten 196 bis 199, US 4,409,564 und GB 21 07 142 A bekannt.

Wenn von einer stabilen und entsprechend dem gewünschten gebrochenen Teilverhältnis eingestellten Frequenz  $f_{\text{VCO}}$  des spannungsgesteuerten Oszillators 4 ausgegangen wird, kann man zeigen, daß während den Zyklen, in denen durch den Teilungsfaktor 'N' geteilt wird, die Frequenz  $f_{\text{VCO}}/N$  zu hoch ist und deshalb die Phasendifferenz zwischen der Referenzfrequenz  $f_{\text{Ref}}$  und der Frequenz  $f_{\text{VCO}}/N$  bei jedem Durchgang um den Faktor

$$T_{\text{VCO-soll}} \cdot K/M$$

vergrößert wird.

Diese kumulierte Phasendifferenz wächst auf maximal eine VCO-Periodendauer des spannungsgesteuerten Oszillators 4 an und wird insgesamt in den Zyklen, in denen durch den Teilungsfaktor 'N + 1' geteilt wird, gerade wieder aufgehoben, so daß nach M Perioden der Referenzfrequenz  $f_{\text{Ref}}$  wieder Phasengleichheit zwischen der Referenzfrequenz  $f_{\text{Ref}}$  und der geteilten Frequenz  $f_{\text{VCO}}$  herrscht. Der Faktor M ist der Modulus, d. h. je größer der Faktor M ist, desto größer kann die Referenzfrequenz  $f_{\text{Ref}}$  gewählt werden und desto kleinere Frequenzschritte, d. h. um so kleinere Frequenzkanalabstände können eingestellt werden.

Es sind Schaltungsvorschläge bekannt, die es mit Hilfe eines Phasenakkumulators ermöglichen, die Umschaltung des Teilerfaktors des N/(N + 1)-Teilers automatisch abzuwickeln. In einem Phasenakkumulator wird auf den Inhalt nach jedem Impuls der geteilten Frequenz  $f_{\text{VCO}}$  des spannungsgesteuerten Oszillators wieder der Wert K mit einer Modulo-M-Addition addiert. Nach jedem Überlauf des Phasenakkumulators wird im nächsten Zyklus der Teilerfaktor von 'N' auf 'N + 1' geändert. Im Phasenakkumulator steht dadurch implizit immer ein Wert, der, mit dem Faktor  $T_{\text{VCO-soll}}/M$  multipliziert, den aktuellen Phasenwert am Phasen-Frequenz-Detektor darstellt.

Aufgrund der Phasendifferenz, die sich am Phasen-Frequenz-Detektor in jedem Zyklus einstellt, wird die PLL-Phasenregelschleife jedoch versuchen, den spannungsgesteuerten Oszillator (VCO) immer wieder auszuregeln, und wird somit die Phasenstabilität negativ beeinflussen. Für eine konstante VCO-Frequenz und -Phase wird deshalb eine konstante Stellspannung am spannungsgesteuerten Oszillator und somit eine große Zeitkonstante des Schleifen-Tiefpaßfilters benötigt, was dem Wunsch nach einer größeren Schleifen-Bandbreite gerade widerspricht.

Zur Erzielung einer Reduktion des Phasenjitters sind verschiedene Lösungsansätze bekannt geworden.

Eine bekannte Methode (Firma "Marconi") ist in der Druckschrift GB 21 40 232 A angegeben und besteht in der Verwendung mehrerer kaskadierter Phasenakkumulatoren, die nach dem Sigma-Delta-Prinzip die Frequenzanteile des Phasenjitters in Bereiche verschieben, die durch das Schleifen-Tiefpaßfilter stark gedämpft werden. Eine Kompensation ist dann nicht mehr erforderlich. Allerdings sind mehrere Phasenakkumulatoren erforderlich.

Eine andere bekannte Methode zur Reduzierung des Phasenjitters ist die aktive Kompensation der Regelung durch Eingriffe am Phasen-Frequenz-Detektor bzw. am Schleifen-Tiefpaßfilter. Dabei kann beispielsweise zusätzlich zum eigentlichen Ladungspumpenstrom ein Kompensationsstrom in das Schleifen-Tiefpaßfilter eingespeist werden, um den Effekt des erstgenannten Stromes auszugleichen. Dabei muß von Zyklus zu Zyklus entweder die Größe oder die Dauer der Einspeisung verändert werden, um eine vom Phasenfehler abhängige Ladungsmenge zur Kompensation zur

Verfügung zu stellen.

Die einzelnen Abstufungen der unterschiedlichen Ladungsmengen hängen von der gewünschten Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators ab und sind z. B. als Funktion eines von der VCO-Frequenz/Periodendauer abhängenden Referenzstroms einstellbar. Bei den z. B. von der Firma "Philips" gebauten, sogenannten Fractional-N-Phasenregelschleifen (PLLs) wird das Stromkompensationsprinzip verwendet. Der Nachteil dieser Methode besteht in der erforderlichen Einstellung des Referenzstroms und im Eingriff am Schleifen-Tiefpaßfilter durch eine erweiterte Ladungspumpe.

Eine andere bekannte Methode zur Reduzierung des Phasenjitters, die von der Firma "National Semiconductor" verwendet wird, ist das zyklusabhängige aktive Verzögern der wirksamen Flanke der geteilten Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators. Auf Grund dieser Sache wird dem Phasen-Frequenz-Detektor stets eine Phasengleichheit vorgespielt und eine Nachregelung der PLL-Phasenregelschleife wird vermieden. Die relative Größe der benötigten Verzögerungen ist mit dem Inhalt des Phasenakkumulators korreliert. Lediglich die absolute Größe der Minimal-Verzögerung ist wiederum von der gewünschten Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators abhängig.

Mit Ausnahme der erwähnten, von der Firma "Marconi" eingesetzten Methode zur Reduzierung des Phasenjitters ist allen diesen bekannten Verfahren gemeinsam, daß sie eine Referenz entweder im Zeit- oder Spannungs- bzw. Strombereich benötigen, deren Größe von der zu synthetisierenden Frequenz abhängt.

Schließlich ist ein weiterer Fractional-N Frequenzsynthesizer mit Restfehlerkorrektur aus der Druckschrift US 5,495,206 bekannt.

Der Erfindung liegt die Aufgabe zugrunde, für einen digitalen, fractional-N basierten PLL-Frequenzsynthesizer eine Möglichkeit der Phasenfehlerkompensation zu schaffen, bei der alle benötigten Stell- und Referenzsignale aus der Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators (VCO) abgeleitet werden können.

Diese Aufgabe wird bei einem gattungsgemäßen digitalen PLL-Frequenzsynthesizer durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst.

Zweckmäßige Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung und deren Weiterbildungen sowie die Vorteile der Erfindung werden im folgenden anhand eines in Zeichnungen dargestellten Ausführungsbeispiels erläutert. Es zeigen:

Fig. 1 das bereits in der Beschreibungseinleitung beschriebene Blockschaltbild eines gewöhnlichen, bekannten PLL-Frequenzsynthesizers,

Fig. 2 das Blockschaltbild eines Fractional-N-PLL-Frequenzsynthesizers nach der Erfindung,

Fig. 3 in einem Blockschaltbild den Aufbau einer in der Schaltung nach Fig. 2 vorgesehenen PLL-Phasenverzögerungseinrichtung mit M-1 Verzögerungselementen und einem M:1-Multiplexer, und

Fig. 4 in einem Blockschaltbild den Aufbau einer weiteren, in der Schaltung nach Fig. 2 vorgesehenen Phasenverzögerungseinrichtung mit M Verzögerungselementen.

In Fig. 2 ist als Blockschaltbild die Schaltung eines entsprechend der Erfindung ausgeführten digitalen PLL (Phase Locked Loop)-Frequenzsynthesizers dargestellt. Es sind auch in dieser Schaltung die bekannten Elemente einer gewöhnlichen und bereits im Zusammenhang mit der Fig. 1 beschriebenen PLL-Frequenzsynthesizerschaltung zu sehen, nämlich ein quarzstabiler Oszillator 1, ein Referenzfrequenzteiler 2, ein Phasen-Frequenz-Detektor 3, eine La-

dungspumpe (Charge-Pump) 6, ein Schleifen-Tiefpaßfilter 7 und ein spannungsgesteuerter Oszillator (VCO) 4.

Bei dem in Fig. 2 dargestellten Frequenzsynthesizer wird eine Referenzfrequenz  $f_{Ref}$ , die durch Teilung der vom quarzstabilisierten Oszillator 1 gelieferten Quarzfrequenz  $f_Q$  im Referenzfrequenzteiler 2 gebildet wird, mit einer zweiten, durch Teilen der Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators 4 abgeleiteten Frequenz  $f_2$  im Phasen-Frequenz-Detektor 3 verglichen, dessen Ausgangssignal nach Leitung über die Ladungspumpe (Charge Pump) 6 und das Schleifen-Tiefpaßfilter 7 in der PLL-Schleife als Steuerungsspannung für den spannungsgesteuerten Oszillator 4 dient.

Zur Teilung der Frequenz des spannungsgesteuerten Oszillators 4 ist in der PLL-Schleife im Gegensatz zur anhand der Fig. 1 beschriebenen, bekannten Frequenzsynthesizerschaltung ein zwischen zwei benachbarten ganzzahligen Teilerfaktoren N und N + 1 an einem Steuereingang 8 (Select) umschaltbarer und in der Grundteilung durch n programmierbarer N/(N + 1)-Frequenzteiler 9 vorgesehen, der gegebenenfalls nach dem Dual-Modulus-Prinzip realisiert ist.

Zwischen dem Frequenzteiler 9 und dem Eingang für die Frequenz  $f_2$  am Phasen-Frequenz-Detektor 3 ist ebenfalls anders als bei der bekannten Schaltung nach Fig. 1 noch eine Phasenverzögerungseinrichtung 10 eingeschaltet, welche zwei Steuereingänge 11 (DelAdjust) bzw. 12 (DelSel) besitzt, wobei der Steuereingang 12 durch mehrere Leitungen realisiert ist und beispielsweise + ein Bus mit ld(M) Leitungen sein kann. Am Steuereingang 11 wird eine Grundverzögerung eingestellt, und am Steuereingang 12 wird eingestellt, um wie viele dieser Grundverzögerungen später der Ausgang 13 der Phasenverzögerungseinrichtung 10 deren Eingang 14 folgt.

Wie die den Aufbau der PLL-Phasenverzögerungseinrichtung 10 im einzelnen darstellende Fig. 3 zeigt, sind – entsprechend dem gewählten Modulus M – in der Phasenverzögerungskette 15 M-1 Verzögerungselemente 16 enthalten, die jeweils die gleiche, allerdings über den Steuereingang 11 einstellbare Verzögerungszeit aufweisen. Mit Hilfe des decodierten DelSel-Signalwertes vom Steuereingang 12 wird ausgewählt, hinter welchem Verzögerungselement 16 das Signal für den Phasen-Frequenz-Detektor 3 und einen Phasenakkumulator 17 ausgekoppelt wird.

Der zur Einstellung der Anzahl der in der Phasenverzögerungskette 15 der PLL-Phasenverzögerungseinrichtung 10 wirksamen Grundverzögerungen vorgesehene Steuereingang 12 ist zugleich der Steuereingang eines M:1-Multiplexers 18, mittels welchem sich in Abhängigkeit vom an seinem Steuereingang liegenden Steuersignal auswählen läßt, hinter welchem der in Reihe geschalteten Verzögerungselemente 16 das einerseits dem einen Eingang des Phasen-Frequenz-Detektors 3 und andererseits dem Phasenakkumulator 17 zuzuführende Signal ausgekoppelt wird. Durch die Verwendung eines Multiplexers zur Auswahl der Anzahl der Verzögerungselemente kann die oben erwähnte Dekodierung gegebenenfalls sogar entfallen.

Der Phasenakkumulator 17 wird mit jedem Ausgangsimpuls der Phasenverzögerungseinrichtung 10 um den einstellbaren Bruchteil K der Referenzfrequenz  $f_{Ref}$  erhöht, allerdings Modulo-M, wozu ein Addierer-Modulo-M 19 vorgesehen ist. Bei einem Überlauf wird über einen Überlauf-Ausgang 20 des Phasenakkumulators 17 der N/(N + 1)-Frequenzteiler 9 für die nächste Periode auf den Teilerfaktor (N + 1) geschaltet. Der Ausgang 21 des Phasenakkumulators 17 stellt direkt das Steuerwort DelSel für den Steuereingang 12 der PLL-Phasenverzögerungseinrichtung 10 bereit.

Wie in der Beschreibung bereits früher erwähnt wurde, ist der zu kompensierende Phasenfehler sowohl eine Funktion

der Zyklusnummer innerhalb M aufeinanderfolgender Zyklen als auch eine Funktion der gewünschten Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators 4. Es läßt sich aufzeigen, was vorher bereits erfolgt ist, daß deshalb die benötigte zyklusabhängige Zeit zur Verzögerung der geteilten  $f_{VCO}$ -Phase ein ganzzahliges Vielfaches von

$$T_{delmin} = 1/(f_{VCO-soll} \cdot M)$$

betragen muß.

Wesentlich beim Verfahren nach der Erfindung ist der Schritt, daß die Steuerspannung DelAdjust, mit der diese Zeit  $T_{delmin}$  über den Steuereingang 11 an jedem Verzögerungselement 16 der Phasenverzögerungskette 15 in der Phasenverzögerungseinrichtung 10 eingestellt wird, mit Hilfe einer weiteren Phasenverzögerungseinrichtung 22 und eines weiteren Phasen-Frequenz-Detektors 23 direkt aus der Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators 4 abgeleitet wird.

Wie Fig. 4 zeigt, ist die weitere Phasenverzögerungseinrichtung 22 genauso aufgebaut wie die Phasenverzögerungseinrichtung 10, d. h. sie ist entsprechend den Auskoppelleitungen bei den Verzögerungselementen 16 der Phasenverzögerungseinrichtung 10 nach Fig. 3 bei allen Verzögerungselementen 24 durch Dummy-Auskoppelemente 25 belastet, um die gleichen Verzögerungsbedingungen wie in der mit dem M:1-Multiplexer 18 ausgestatteten PLL-Phasenverzögerungseinrichtung 10 nachzubilden. Allerdings sind in der weiteren Phasenverzögerungseinrichtung 22 nicht M-1 Verzögerungselemente wie bei der Phasenverzögerungseinrichtung 10, sondern M Verzögerungselemente 24 hintereinandergeschaltet, was von großer Bedeutung ist.

In die weitere Phasenverzögerungseinrichtung 22 wird an einem Eingang 26 die Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators 4 über einen Pufferverstärker 27 eingespeist, und die Phase des Signals am Ausgang 28 der weiteren Phasenverzögerungseinrichtung 22 wird wiederum mit Hilfe des weiteren Phasen-Frequenz-Detektors 23 direkt mit der über den gleichen Pufferverstärker 26 geleiteten Frequenz  $f_{VCO}$  des spannungsgesteuerten Oszillators 4 verglichen. Das vom Ausgang 28 der weiteren Phasenverzögerungseinrichtung 22 abgeleitete Vergleichsergebnis wird in einem zweiten Schleifen-Tiefpaßfilter 29 tiefpaßgefiltert und bildet dann für die weitere Phasenverzögerungseinrichtung 22 die Steuerspannung, die dort einem Steuereingang 30 zugeführt wird.

Mit dieser Steuerspannung DelAdjust wird bei den Verzögerungselementen 24 der weiteren Phasenverzögerungseinrichtung 22 die jeweils gleiche Grundverzögerung eingestellt. Die weitere Phasenverzögerungseinrichtung 22 ist mithin also quasi ein Bestandteil einer Hilfs-Phasenregelschleife (Hilfs-PLL), bei welcher der spannungsgesteuerte Oszillator 4 seine eigene Referenzfrequenz erzeugt. Wegen der hohen Frequenzen kann die Hilfs-PLL eine sehr hohe Schleifen-Bandbreite haben.

Es genügt jedoch ein Wert, der in der Größenordnung der Referenzfrequenz  $f_{Ref}$  liegt, da ein wesentlich schnelleres DelAdjust-Steuersignal auch nicht schneller ausgewertet werden kann. Wenn sichergestellt wird, daß in der weiteren Phasenverzögerungseinrichtung 22 genau eine VCO-Periode der Schwingung des spannungsgesteuerten Oszillators 4 enthalten ist, gilt:

$$T_{22} = M \cdot T_{delmin} = T_{VCO-soll}$$

Dies bedeutet, daß jedes Verzögerungselement 24 der weiteren Phasenverzögerungseinrichtung 22 um genau den M-ten Teil von  $T_{VCO-soll}$  verzögert.

Dies ist genau der benötigte Elementarwert der in der eigentlichen, also in der Phasenverzögerungseinrichtung 10 der Haupt-PLL enthaltenen Phasenverzögerungskette 15. Weil die Verzögerungselemente 16 bzw. 24 in beiden Phasenverzögerungseinrichtungen 10 bzw. 22 bezüglich ihres zeitlichen Verhaltens gleich aufgebaut sind, kann die Steuerspannung für die weitere Phasenverzögerungseinrichtung 22 auch als Steuerspannung DelAdjust zur Zuführung an den Steuereingang 11 der Phasenverzögerungseinrichtung 10 verwendet werden.

Ein entsprechend der Erfindung ausgebildeter Frequenzsynthesizer läßt sich in besonders vorteilhafter Weise in integrierter Schaltungstechnik ausführen.

#### Patentansprüche

1. Digitaler PLL(Phase Locked Loop)-Frequenzsynthesizer, bei dem eine durch Teilung einer stabilen Quarzoszillatorfrequenz gebildete Referenzfrequenz mit einer zweiten, durch Teilen der Frequenz eines spannungsgesteuerten Oszillators (VCO) abgeleiteten Frequenz in einem Phasen-Frequenz-Detektor verglichen wird, dessen Ausgangssignal nach Leitung über eine gegebenenfalls vorgesehene Ladungspumpe (Charge Pump) und ein Schleifen-Tiefpaßfilter in der PLL-Schleife als Steuerspannung für den spannungsgesteuerten Oszillator dient, wobei zur Teilung der Frequenz des spannungsgesteuerten Oszillators in der PLL-Schleife ein zwischen zwei benachbarten ganzzahligen Teilerfaktoren N und N + 1 umschaltbarer, für die Dauer von M-K Zyklen durch N teilender und dann für die Dauer von K Zyklen durch N + 1 teilender N/(N + 1)-Frequenzteiler und zur Herbeiführung einer automatischen Umschaltung des N/(N + 1)-Frequenzteilers ein Phasenakkumulator vorgesehen sind, zu dessen Inhalt mit jedem Impuls der geteilten VCO-Frequenz der Wert K mit einer Modulo-M-Addition addiert wird und der nach jedem Überlauf im nächsten Zyklus eine Änderung des Teilerfaktors von N auf N + 1 veranlaßt, dadurch gekennzeichnet, daß zwischen dem N/(N + 1)-Frequenzteiler (9) und dem von diesem Frequenzteiler angesteuerten Eingang des Phasen-Frequenz-Detektors (3) und zugleich dem Eingang des Phasenakkumulators (17) eine Phasenverzögerungseinrichtung (10) eingefügt ist, die in einer Phasenverzögerungskette (15) M-1 Verzögerungselemente (16) enthält und die zwei Steuereingänge (11, 12) aufweist, von denen der eine (11) zur Einstellung der jeweils übereinstimmenden Größe der Grundverzögerungen der Verzögerungselemente der Phasenverzögerungskette und der andere (12) zur Einstellung der Anzahl der in dieser Phasenverzögerungskette wirksamen Grundverzögerungen vorgesehen ist, daß der Inhalt des Phasenakkumulators mit jedem Ausgangsimpuls der Phasenverzögerungseinrichtung um den einstellbaren Bruchteil K der Referenzfrequenz Modulo-M erhöht wird und bei einem Überlauf der N/(N + 1)-Frequenzteiler für die nächste Periode auf N + 1 geschaltet wird, daß der Ausgang (21) des Phasenakkumulators (17) mit dem zur Einstellung der Anzahl der wirksamen Grundverzögerungen vorgesehenen Steuereingang (12) der Phasenverzögerungseinrichtung (10) verbunden ist, und daß eine weitere Phasenverzögerungseinrichtung (22), die zur Nachbildung übereinstimmender Verzögerungsbedingungen genauso aufgebaut ist wie die PLL-Phasenverzögerungseinrichtung (10), allerdings nicht M-1, sondern nur M hintereinandergeschaltete Verzögerungselemente (24) aufweist, zwischen dem Ausgang des spannungsge-

steuerten Oszillators (4) und dem einen Eingang eines weiteren Phasen-Frequenz-Detektors (23) eingeschaltet ist, an dessen zweitem Eingang der Ausgang des spannungsgesteuerten Oszillators (4) ohne Zwischenschaltung von Verzögerungselementen angeschlossen ist und mit dessen Ausgang über ein weiteres Schleifen-Tiefpaßfilter (29) unter Bildung einer Hilfs-PLL-Schleife die zur Einstellung der jeweils übereinstimmenden Größe der Grundverzögerungen der Verzögerungselemente vorgesehenen Steuereingänge (11, 30) der beiden Phasenverzögerungseinrichtungen (10, 22) verbunden sind.

2. Frequenzsynthesizer nach Anspruch 1, dadurch gekennzeichnet, daß der zur Einstellung der Anzahl der in der Phasenverzögerungseinrichtung (10) wirksamen Grundverzögerungen vorgesehene Steuereingang (12) durch den Steuereingang eines M:1-Multiplexers (18) gebildet ist, mittels welchem sich in Abhängigkeit vom an seinem Steuereingang liegenden Steuersignal auswählen läßt, hinter welchem der in Reihe geschalteten Verzögerungselemente (16) das einerseits dem einen Eingang des Phasen-Frequenz-Detektors (3) und andererseits dem Phasenakkumulator (17) zuzuführende Signal ausgekoppelt wird.

3. Frequenzsynthesizer nach Anspruch 1, dadurch gekennzeichnet, daß die weitere Phasenverzögerungseinrichtung (22) zur Nachbildung von Verzögerungsbedingungen, die mit denjenigen der Phasenverzögerungseinrichtung (10) übereinstimmen, außer den Verzögerungselementen (24) selbst diesen letzteren zugeordnete Dummy-Auskoppellemente (25) enthält.

4. Frequenzsynthesizer nach den Ansprüchen 2 und 3, dadurch gekennzeichnet, daß die Dummy-Auskoppellemente (25) Lastelemente sind, welche die Belastung durch den Eingang des M:1-Multiplexers (18) der PLL-Phasenverzögerungseinrichtung (10) nachbilden.

5. Frequenzsynthesizer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die unter anderem den weiteren Phasen-Frequenz-Detektor (22) enthaltende Hilfs-PLL-Schleife so ausgelegt ist, daß sie eine sehr hohe Schleifenbandbreite aufweist.

6. Frequenzsynthesizer nach Anspruch 5, dadurch gekennzeichnet, daß die Hilfs-PLL-Schleife so ausgelegt ist, daß ihre Bandbreite in der Größenordnung der Referenzfrequenz ( $f_{\text{Ref}}$ ) liegt.

7. Frequenzsynthesizer nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Ausführung in integrierter Schaltungstechnik.

---

Hierzu 2 Seite(n) Zeichnungen

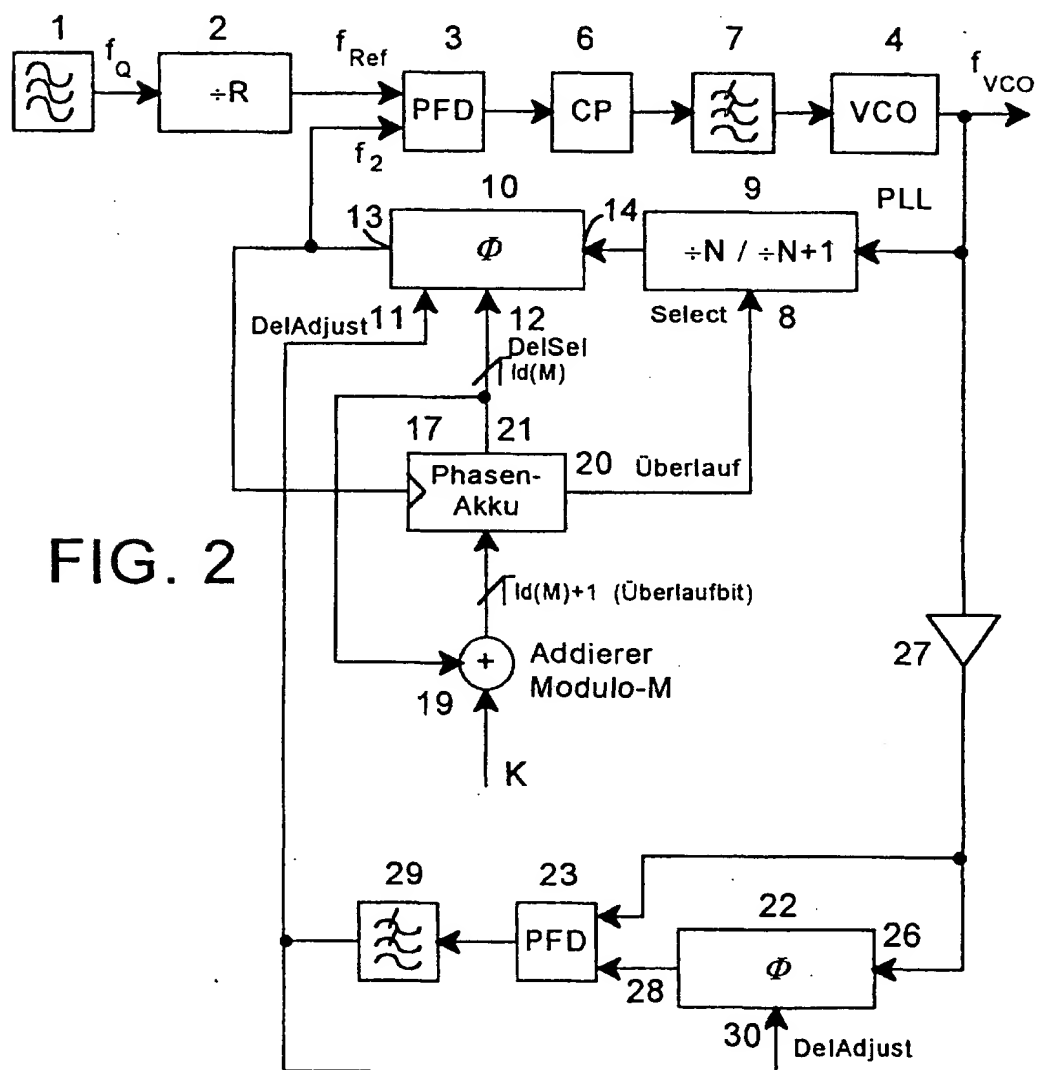
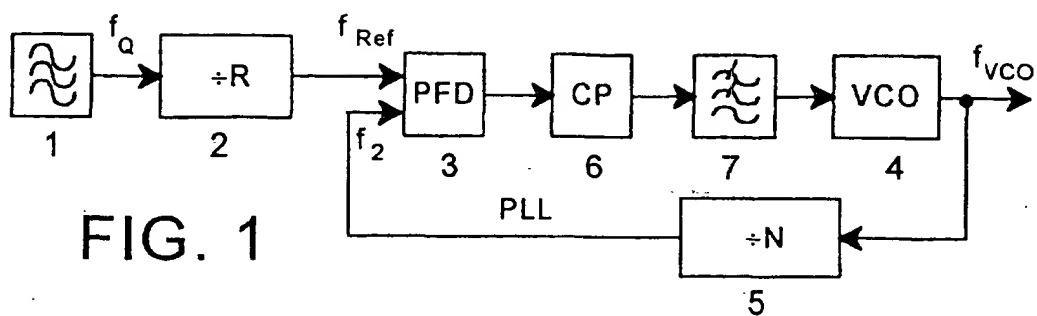
---

55

60

65

- Leerseite -





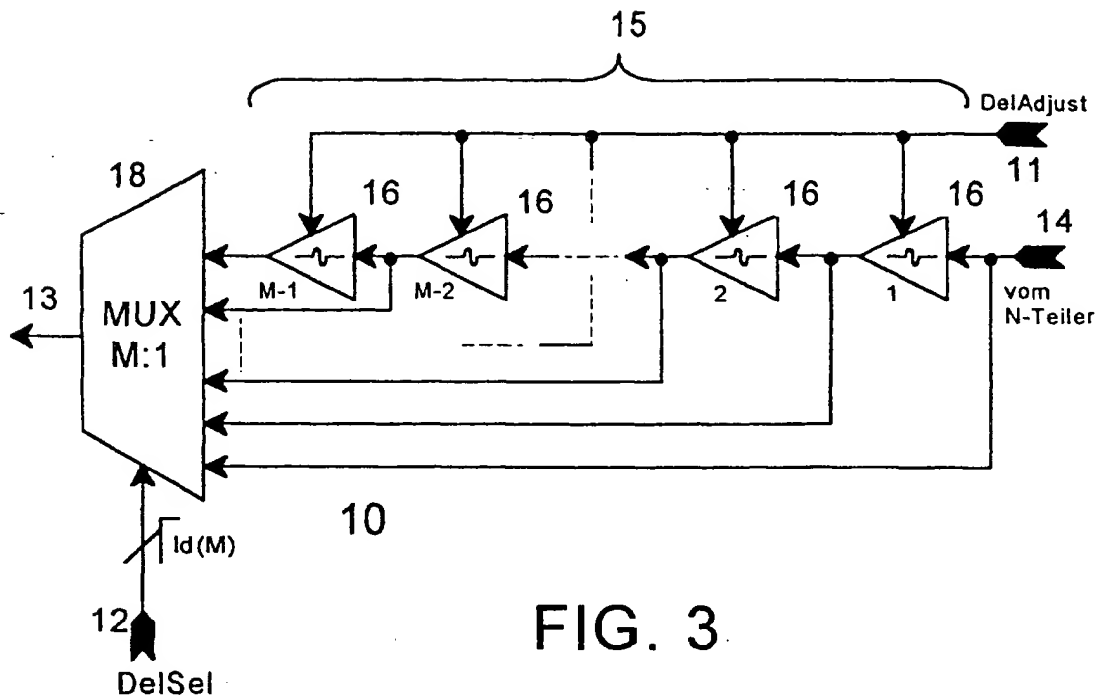


FIG. 3

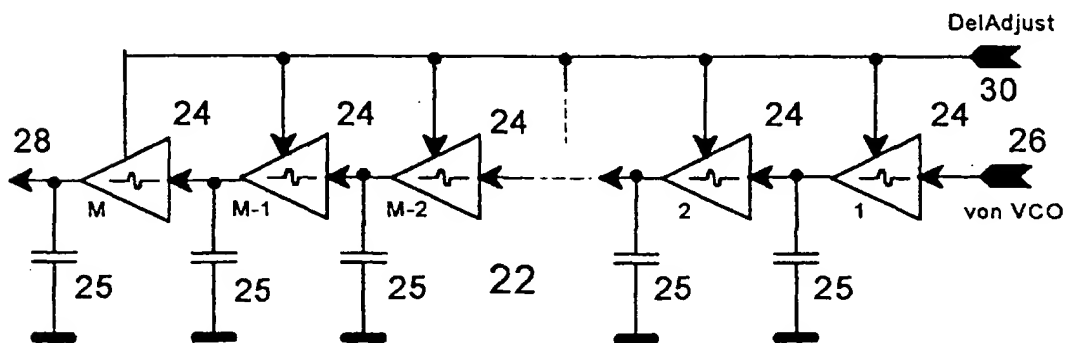


FIG. 4